

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

US  
#2

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月16日

出 願 番 号

Application Number:

特願2000-315367

出 願 人

Applicant(s):

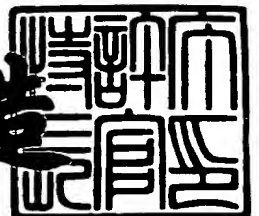
日本電気株式会社



2001年 8月17日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3074356

【書類名】 特許願

【整理番号】 47500394

【提出日】 平成12年10月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/08  
H04B 10/00

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 野口 栄実

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100080816

【弁理士】

【氏名又は名称】 加藤 朝道

【電話番号】 045-476-1131

【手数料の表示】

【予納台帳番号】 030362

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9304371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 同期はずれ検出回路

【特許請求の範囲】

【請求項 1】

二つの信号が互いに同期しているか否かを検出する回路であって、  
前記二つの信号の一方の信号を所定位相遅延させて出力する第 1 の回路と、  
前記二つの信号の他方の信号の遷移に同期して前記第 1 の回路の出力をサンプルする第 2 の回路と、  
前記第 2 の回路の出力の平均値を出力する第 3 の回路と、  
前記平均値と予め定められたしきい値とを比較し、同期はずれの有無を検出する第 4 の回路と、  
を備えたことを特徴とする同期はずれ検出回路。

【請求項 2】

入力される第 1 の信号と、前記第 1 の信号に位相及び周波数が同期される第 2 の信号とを入力し、前記第 1 の信号と前記第 2 の信号が互いに同期しているか否かを検出する回路において、  
前記第 2 の信号を所定の位相遅延させる遅延回路と、  
前記第 1 の信号の立ち下がり又は立ち上がりの遷移に同期して、前記遅延回路で遅延された前記第 2 の信号をサンプルする順序論理回路と、  
前記順序論理回路の出力の平均値を検出する平均値検出回路と、  
前記平均値検出回路から出力される平均値と、予め定められたしきい値との大小関係を比較し、比較結果を同期はずれの有無を示す信号として出力する比較回路と、を備えたことを特徴とする同期はずれ検出回路。

【請求項 3】

前記第 2 の信号が、前記第 1 の信号と前記第 2 の信号との周波数及び位相の差に対応した値の制御信号を入力し該制御信号によって発振周波数が可変される信号発振器の発振出力信号である、ことを特徴とする請求項 2 記載の同期はずれ検出回路。

【請求項 4】

前記遅延回路が、前記第 2 の信号のパルス幅の半分に相当する位相分、前記第 2 の信号を遅延させる、ことを特徴とする請求項 2 又は 3 記載の同期はずれ検出回路。

【請求項 5】

制御信号によって発振周波数が可変される信号発振器から出力されるクロックを所定位相分遅延させる遅延回路と、

前記遅延回路で遅延されたクロックを、入力されるデータ信号の立ち下がり又は立ち上がりエッジでサンプルするフリップフロップ回路と、

前記フリップフロップ回路の出力の平均値を検出して出力する平均値検出回路と、

前記平均値と、予め定められたしきい値との大小関係を比較判定し、同期はずれ検出時に、アラームを出力する比較回路と、

を備えたことを特徴とする同期はずれ検出回路。

【請求項 6】

前記信号発振器が、前記受信データと前記クロックを入力とする位相周波数比較回路から出力される周波数及び位相の差に応じた制御信号を入力し、該制御信号に応じた発振周波数で発振し、発振クロックを出力する、電圧制御発振器又は電流制御発振器よりなる、ことを特徴とする請求項 5 記載の同期はずれ検出回路。

【請求項 7】

前記遅延回路が、前記クロックのパルス幅の半分に相当する位相分、前記クロックを遅延させる、ことを特徴とする請求項 5 記載の同期はずれ検出回路。

【請求項 8】

前記遅延回路が、前記クロックを  $90^\circ$  遅延させたクロックを出力する、ことを特徴とする請求項 6 記載の同期はずれ検出回路。

【請求項 9】

前記クロックが、前記データ信号の遷移に同期して立ち下がるものである場合、前記平均値検出回路から出力される前記平均値は、前記データ信号と前記クロックが周波数及び位相同期時には、第 1 の値をとり、

前記比較回路は、前記平均値が、前記第 1 の値と前記第 1 の値よりも小さい第 2 の値の中間値と、前記第 1 の値との間の値に設定された所定のしきい値よりも小さいときに、前記データ信号のジッタ増大を検出し、前記アラームを出力する、ことを特徴とする請求項 5 記載の同期はずれ検出回路。

【請求項 1 0】

前記クロックが、前記データ信号の遷移に同期して立ち下がるものである場合、前記平均値検出回路から出力される前記平均値は、前記データ信号と前記クロックが周波数及び位相同期時には、第 1 の値をとり、

前記比較回路は、前記平均値が、前記第 1 の値と前記第 1 の値よりも小さい第 2 の値の中間値に設定されたしきい値に等しいか、小さいときに、前記アラームを出力する、ことを特徴とする請求項 5 記載の同期はずれ検出回路。

【請求項 1 1】

前記クロックが、前記データ信号の遷移に同期して立ち上がるものである場合、前記平均値検出回路から出力される前記平均値は、前記データ信号と前記クロックが周波数及び位相同期時には、第 2 の値をとり、

前記比較回路は、前記平均値が、前記第 2 の値よりも大きい第 1 の値と前記第 2 の値の中間値と、前記第 2 の値との間の値に設定された所定のしきい値よりも大きいときに、前記データ信号のジッタ増大を検出し、前記アラームを出力する、ことを特徴とする請求項 5 記載の同期はずれ検出回路。

【請求項 1 2】

前記クロックが、前記データ信号の遷移に同期して立ち上がるものである場合、前記平均値検出回路から出力される前記平均値は、前記データ信号と前記クロックが周波数及び位相同期時には第 2 の値をとり、

前記比較回路は、前記平均値が、前記第 2 の値よりも大きい第 1 の値と、前記第 2 の値の中間値と等しいか、大きいときに、前記アラームを出力する、ことを特徴とする請求項 5 記載の同期はずれ検出回路。

【請求項 1 3】

前記平均値検出回路が、前記フリップフロップの出力値の所定期間にわたる時間平均をとった値に対応する直流電圧を生成し、該直流電圧を前記平均値として

出力する、ことを特徴とする請求項 5 記載の同期はずれ検出回路。

【請求項 1 4】

前記平均値検出回路は、前記フリップフロップの出力が、第 1 の値又は第 2 の値をとる時間幅の総計が、所定の期間内に、どのくらいの割合となるかを表す前記第 1 の値と第 2 の値の範囲内の直流電圧を、前記平均値として出力する、ことを特徴とする請求項 5 記載の同期はずれ検出回路。

【請求項 1 5】

請求項 1 乃至 1 4 のいずれかーに記載の同期はずれ検出回路を備えた受信装置

【請求項 1 6】

請求項 5 乃至 1 4 のいずれかーに記載の同期はずれ検出回路を備え、光検出器で検出された受信データ信号が、前記データ信号として前記フリップフロップに入力される光受信装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、クロック同期はずれ検出回路に関し、特に、光受信装置等のクロック同期はずれの検出に適用して好適な回路に関する。

【0 0 0 2】

【従来の技術】

光受信装置では、光信号を受光した光／電気変換回路（フォトダイオード等）で光信号を電流に変換しこれを電圧に増幅変換し、論理振幅の信号とした受信データを、PLL (Phase Locked Loop; 位相同期ループ) 回路に入力し、該受信データに同期した信号（クロック）を生成している。PLL 回路は、その典型的な構成として、図 5 に示すように、受信したデータ信号を入力とする位相周波数比較回路（Phase Frequency Comparator）1 0 と、位相周波数比較回路 1 0 で検出された周波数及び位相の差に対応して、容量への充電又は放電を行い該位相差に対応した電圧を生成するチャージポンプ（CP）1 1 と、該周波数及び位相の差に対応した電圧を平滑化して出力するループフィルタ 1 2（LPF）と、ル

ープフィルタ 1 2 の出力を制御電圧として入力し該制御電圧に応じて発振周波数を可変させる電圧制御発振器 (VCO) 1 3 とを備え、電圧制御発振器 (VCO) 1 3 の発振出力クロックは、位相周波数比較回路 1 0 へ帰還入力され、位相周波数比較回路 1 0 では、受信したデータ信号と電圧制御発振器 1 3 の出力クロックとの周波数及び位相差を検出し、周波数及び位相差に応じた制御信号が電圧制御発振器 (VCO) 1 3 に供給され、データ信号に同期したクロックが生成される。なお、電圧制御発振器 (VCO) 1 3 の出力クロックがデータ信号の周波数の通倍周波数である場合、電圧制御発振器 (VCO) 1 3 の出力 (再生クロック) を分周器で分周した信号を位相周波数比較回路 1 0 に帰還入力する構成とされる。

#### 【0003】

ところで、光受信装置において、伝送路上を伝送された受信データ信号の S/N (信号対雑音) 比が劣化した時に、これを検出してアラームを出力することは、伝送路の品質を保持するために必要な機能である。

#### 【0004】

S/N 比劣化を検出するための従来の構成の一つとして、電圧制御発振器の周波数制御信号 (図 5 の PLL 回路において、ループフィルタ 1 2 から電圧制御発振器 1 3 に入力される制御電圧) を用い、この周波数制御信号の値をモニタすることで、ロック状態から大きくはずれたときにアラームを出力する、という構成が知られている。すなわち、PLL 回路がロック状態から大きくはずれたとき、周波数制御信号も変化し、この変化が予め定められたしきい値を超えた場合に、アラームを出力するというものである。

#### 【0005】

##### 【発明が解決しようとする課題】

しかしながら、電圧制御発振器の周波数制御信号により同期はずれの検出を行う従来の装置において、データ信号の S/N 比が劣化した場合、データ信号のジッタが増え、このため、電圧制御発振器をロック状態に引き込むように、周波数制御信号が大きく変動する。すなわち、データ信号のジッタが増え、データ信号本来の周波数の近傍で、データ 1 ビット (ビットクロック) 毎にその周波数



が変動し（データ信号の遷移時点が変動する）、データの値は1又は0をランダムにとるランダムパターン（ノイズ）となり、電圧制御発振器をロック状態に引き込むように、周波数制御信号が大きく変動することになる。このため、電圧制御発振器へ供給する周波数制御信号の値から、正常時（同期時）とアラーム時とを判別するためのしきい値を設定することは、ジッタ成分の存在により、むずかしくなる。

## 【0006】

一方、所定の伝送路品質が保たれている場合でも、実際には、伝送路を伝送されたデータ信号には、多少ともジッタが存在しており、この場合も、電圧制御発振器を、ロック状態に引き込むように、周波数制御信号が変動する。

## 【0007】

このように、電圧制御発振器の周波数制御信号を用いてアラーム判定を行う構成の場合、データ信号のわずかのジッタ成分の存在によって周波数制御信号が変動し、正常時とアラーム時を判別するためのしきい値の設定がむずかしくなり、正常な時はアラームは出さず、S/N比が大幅に劣化した時に、アラームを確実に出力する、という制御を行うことは、困難である。

## 【0008】

したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、正常な時はアラームは出さず、周波数同期が外れた時や、受信データ信号のS/N比が大幅に劣化した時に、アラームを確実に出力する同期はずれ検出回路及び該回路を備えた受信装置を提供することにある。

## 【0009】

## 【課題を解決するための手段】

前記目的を達成する本発明は、二つの信号の一方の信号を所定位相遅延させて出力する第1の回路と、前記二つの信号の他方の信号の遷移に同期して前記第1の回路の出力をサンプルする第2の回路と、前記第2の回路の出力の平均値を出力する第3の回路と、前記平均値と予め定められたしきい値とを比較し、同期はずれの有無を検出する第4の回路と、を備える。

## 【0010】

より詳しくは、本発明は、入力される第 1 の信号と、前記第 1 の信号に位相及び周波数が同期される第 2 の信号とを入力し、前記第 1 の信号と前記第 2 の信号が互いに同期しているか否かを検出する回路において、前記第 2 の信号を所定の位相遅延させる遅延回路と、前記第 1 の信号の立ち下がり又は立ち上がりの遷移に同期して、前記遅延回路で遅延された前記第 2 の信号の値をサンプルする順序論理回路と、前記順序論理回路の出力の平均値を検出する平均値検出回路と、前記平均値検出回路から出力される平均値と、予め定められたしきい値との大小関係を比較し、比較結果を同期はずれの有無を示す信号として出力する比較回路と、を備える。

## 【 0 0 1 1 】

本発明において、前記第 2 の信号が、前記第 1 の信号と前記第 2 の信号の位相差に対応した値の制御信号を入力し該制御信号によって発振周波数が可変される信号発振器の発振出力信号からなる。

## 【 0 0 1 2 】

## 【発明の実施の形態】

本発明の実施の形態について説明する。本発明は、その好ましい一実施の形態において、図 1 を参照すると、入力される第 1 の信号（データ信号）と、該第 1 の信号に位相及び周波数が同期される第 2 の信号（CLK）とを入力し、これらが互いに同期しているか否かを検出する回路であって、第 2 の信号（CLK）を所定の位相遅延させる遅延回路（1）と、該第 1 の信号の立ち下がり又は立ち上がりの遷移に同期して、遅延回路（1）で遅延された第 2 の信号（CLK<sub>90</sub>）の値をサンプルする順序論理回路（2）と、順序論理回路（2）の出力の平均値を検出する平均値検出回路（3）と、平均値検出回路（3）から出力される平均値と、予め定められたしきい値（V<sub>ref</sub>）との大小関係を比較して、同期はずれであるか否かを判定し、同期はずれの場合、アラームを出力する比較回路（4）とを備える。

## 【 0 0 1 3 】

第 2 の信号（CLK）は、第 1 の信号（データ信号）と第 2 の信号（CLK）の周波数及び位相の差に対応した値の制御信号を入力し該制御信号によって発振

周波数が可変される電圧制御発振器（図 5 の 1 3 参照）の発振出力信号からなる

【 0 0 1 4 】

遅延回路（1）は、第 2 の信号（C L K）のパルス幅の半分に相当する位相分、第 2 の信号（C L K）を遅延させる。

【 0 0 1 5 】

順序論理回路（2）は、データ信号の立ち下がり又は立ち上がりエッジ（positive edge/negative edge）をトリガーとして、入力信号、すなわち電圧制御発振器の出力を遅延回路（1）で遅延させた信号（C L K 9 0）をサンプル（取り込む）する D 型フリップフロップよりなり、データ信号のジッタ幅が、遅延信号 C L K 9 0 がのパルス幅（H i g h レベルの幅）以内であれば、順序論理回路（2）は、H i g h レベルを出力し（同期時と同様）、比較回路（4）は、アラームを出力することはない。すなわち、データに、ジッタが存在しても、該ジッタが所定範囲内であれば、誤動作が回避される。

【 0 0 1 6 】

本発明の一実施の形態において、遅延回路（1）は、好ましくは、第 2 の信号（C L K）のパルスのパルス幅の中間（半分）の位相分（デューティ 5 0 のクロック場合、1 周期の  $1/4$  すなわち 9 0 度）遅延させて出力する構成とされる。

【 0 0 1 7 】

【実施例】

上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。図 1 は、本発明の一実施例の構成を示す図である。図 1 を参照すると、この実施例のクロック同期外れ検出回路は、データ信号に同期したクロックを生成する電圧制御発振器（図 5 の 1 3 参照、ただし、電流制御発振器であってもよい）からのクロック C L K を入力し、その位相を 9 0 ° 遅延させて出力する遅延回路 1 と、遅延回路 1 の出力 C L K 9 0 を、データ端子 D に入力し、光信号から不図示の光／電気変換器で電気信号に変換され論理振幅まで増幅されたデータ信号（図 5 の位相周波数比較回路 1 0 に入力されるデータ信号に対応する）を、クロック端子 C に入力するフリップフロップ 2

と、フリップフロップ 2 の出力端子 Q からの出力信号の時間平均値を検出する平均値検出回路 3 と、平均値検出回路 3 の出力と、予め設定された基準電圧  $V_{ref}$  との大小関係を比較し、アラームを出力する比較回路 4 と、を備えて構成されている。後に詳細に説明されるように、比較回路 4 は、データ信号の遷移時のクロック CLK の遷移が立ち下がりの場合には、平均値検出回路 3 の出力が、アラーム出力のしきい値をなす基準電圧  $V_{ref}$  以下となると、アラームを出力する。フリップフロップ 2 は、データ端子 D に入力される信号（遅延クロック CLK 90）を、クロック端子 C に入力される信号（データ信号）の立ち上がり又は立ち下がりエッジでサンプルし出力端子 Q に出力する、エッジトリガ型のフリップフロップ（「D 型フリップフロップ」という）からなる。

## 【 0 0 1 8 】

平均値検出回路 3 は、所定期間における、フリップフロップ 2 の出力端子 Q の出力信号の High レベルの時間の長さ（時間幅）を、直流電圧レベル（Low レベルと High レベルの間の電圧）に変換することで、フリップフロップ 2 の出力の時間平均を検出するものであり、例えば、所定の長さに時定数が設定された CR 回路よりなる低域通過フィルタで構成してもよく、あるいは、フリップフロップ 2 の出力端子 Q からの出力信号が High レベルの期間中、容量を定電流で充電する構成とし、所定期間経過時点で、容量の端子電圧を、時間平均値として出力するチャージポンプ回路構成としてもよい。

## 【 0 0 1 9 】

比較回路 4 は、アラームを出力するか否かのしきい値の近傍でのアラーム出力のバタツキを抑えるため、ヒステリシス特性を持たせてもよい。すなわち比較回路 4 は、例えばしきい値として基準値  $V_1$ 、 $V_2$  ( $V_1 > V_2$ ) を備え、平均値検出回路 3 の出力が基準値  $V_1$  以下となっても直ちにアラームを出力せず ( $V_2$  以下とならず再び  $V_1$  を超えた場合は正常)、平均値検出回路 3 の出力が基準値  $V_2$  以下となった場合にアラームを出力し、平均値検出回路 3 の出力が再び、 $V_2$  を超え、さらに  $V_1$  以上となった場合に、アラーム出力を停止する構成としてもよい。

## 【 0 0 2 0 】

次に図2から図4のタイミング図を参照して、本発明の一実施例の動作について説明をする。

#### 【0021】

図2は、本発明の一実施例における、正常時すなわち周波数同期時の動作を示す図である。図2において、CLKは、データ信号に同期したクロックを生成する電圧制御発振器からのクロックであり、CLK90は、遅延回路1でクロックCLKを位相90°遅延させたクロックである。

#### 【0022】

周波数同期時には、クロックCLKの立ち下がり（HighレベルからLowレベルへの遷移タイミング）は、常に、データ信号のクロスポイントに一致している。

#### 【0023】

このとき、フリップフロップ2は、そのデータ端子Dに入力されるCLK90のHighレベルVHを、フリップフロップ2のクロック端子に入力されるデータ信号の立ち上がり（又は立ち下がり）エッジをトリガーとしてサンプルするため、フリップフロップ2の出力Qは、常に、HighレベルVHとなる。

#### 【0024】

したがって、フリップフロップ2の出力の時間平均を求める平均値検出回路3の出力Vavは、HighレベルVHとなる。

#### 【0025】

図3は、本発明の一実施例において、周波数同期はずれ時の場合のタイミング動作を示す図である。データ信号と電圧制御発振器からのクロックが同期していないときは、データ信号と、電圧制御発振器からのクロック信号CLKの周波数がずれており、フリップフロップ2において、データ信号の遷移エッジで、CLK90を取り込むタイミングが、毎回（サイクル毎に）ずれていくことになる。すなわち、CLK90のHighレベルVHをサンプルしている間（図3のt1～tm（ただし、m>1）サイクル）、フリップフロップ2の出力QはHighレベルVHとなるが、tn（ただし、n>m）サイクル、及び、これにつづくサイクルtでは、データ信号の遷移時に、CLK90はLowレベルVLとされて

おり、フリップフロップ2の出力QはLowレベルVLとなる。フリップフロップ2の出力Qからは、HighレベルVHが何サイクルか連続し、つづいてLowレベルVLが何サイクルかつづくという具合に、互い違いに現れ、その周波数は、データ信号の周波数とクロックCLKの周波数のずれの周波数に等しいものとなる。

## 【0026】

このため、データ信号の周波数 $f_{data}$ とクロックCLKの周波数 $f_{vco}$ の差に対応する期間分( $= 1 / |f_{data} - f_{vco}|$ )、平均値検出回路3において、フリップフロップ2の出力Qを時間平均した値は、当該期間(1周期)において、HighレベルVHとLowレベルVLの出現頻度が等しいことから、平均値 $V_{av}$ は、 $(VH + VL) / 2$ となる。

## 【0027】

図4は、本発明の一実施例において、データ信号のS/N(信号対雑音)比が劣化した時のタイミング図である。データ信号のS/N比の劣化は、データ信号のクロスポイントのジッタ増加として現れる。この場合、電圧制御発振器の出力クロックCLKの立ち下がり、データ信号に同期しているものの、データ信号のクロスポイント位置の時間軸方向の分布に依存する確率で、フリップフロップ2は、CLK90のLowレベルVLをサンプルすることになる。すなわち、図4のジッタによるクロスポイントの分布に示すように、ジッタによるクロスポイントの分布は、正規分布(平均 $\mu$ 、分散 $\sigma$ )に近い分布をなしており(クロックCLKの立ち下がりがデータ信号に同期している場合、正規分布の中心(平均 $\mu$ )はクロックCLKの立ち下がりのタイミングcに一致する)、データ信号のクロスポイントのジッタが、タイミングcを中心に、CLK90のHighレベル期間の時間幅を超えた場合、フリップフロップ2は、CLK90のLowレベルVLを、サンプルすることになる。

## 【0028】

図4のジッタによるクロスポイントの分布が示すように、フリップフロップ2がCLK90のLowレベルVLをサンプルする確率は小さい。このため、平均値検出回路3の出力 $V_{av}$ は、中間値よりもHighレベルVHに近い値となり

、 $(V_H + V_L) / 2 < V_{av} < V_H$ となる。ただし、データ信号のクロスポイントのジッタが、タイミングcを中心に、CLK90のHighレベル期間の時間幅を超える確率（CLK90のLowレベルVLをサンプルする確率）が存在するため、平均値 $V_{av}$ は $V_H$ とはならない。

## 【0029】

比較回路4の基準電圧 $V_{ref}$ （しきい値）を、 $(V_H + V_L) / 2$ と $V_H$ の間に設定することで、平均値が、この基準電圧以下となった場合、クロック同期はずれを検出し、アラームを出力することができる。すなわち、比較回路4の基準電圧 $V_{ref}$ を、データ信号のS/N比劣化時の平均値検出回路3の出力 $V_{av}$ と $V_H$ の間に設定することで、受信したデータ信号のS/N比が劣化し、所定の伝送路品質が確保されない状態を検出し、アラームを出力することができる。

## 【0030】

すなわち、本実施例では、フリップフロップ2は、電圧制御発振器のクロックを遅延回路1で $90^\circ$ 遅延させたクロックCLK90を、データ信号の変化点（立ち下がり又は、立ち上がり）でサンプルしているため、データ信号のジッタ幅が、クロックがHighレベルの期間以内であれば、フリップフロップ2は確実にHighレベル $V_H$ を出力し、このため、平均値検出回路3から出力される平均値 $V_{av}$ を入力とする比較回路4は、アラームを出力することはない。すなわち、所定の範囲内のジッタであれば、平均値検出回路3の出力は基準電圧 $V_{ref}$ 以上となり、比較回路4は同期はずれとしてアラームを出力することなく、データ信号のジッタの存在による、誤動作が回避される。

## 【0031】

上記した実施例では、周波数同期時に、クロックCLKの立ち下がりのタイミング（HighからLowへの遷移エッジ）が、データ信号のクロスポイントに一致しているが、クロックCLKの立ち上がりのタイミングが、データ信号のクロスポイントに一致していてもよい。この実施例について以下に説明する。

## 【0032】

正常時、すなわち周波数同期時の場合、フリップフロップ2は、CLK90の

L o wレベルV Lをデータ信号の遷移時点で取り込んでおり、フリップフロップ2の出力Qは、L o wレベルを出力する。すなわち、前記実施例において、H i g hレベルV HをL o wレベルV Lに置き換えることになり、平均値検出回路3の出力V a vは、 $V a v = V L$ となる。

## 【0033】

そして、周波数同期はずれ時の場合には、平均値検出回路3の出力は、 $V a v = (V H + V L) / 2$ となる。

## 【0034】

データ信号のS/N比が劣化した時の場合、データ信号のクロスポイントのジッタ増加として現れ、この場合、電圧制御発振器の出力クロックC L Kの立ち上がり、データ信号に同期しているものの、クロスポイント位置の時間軸方向の分布に依存する確率で、フリップフロップ2はC L K 90のH i g hレベルV Hを取り込むことになる。データ信号のジッタがC L K 90のL o wレベル期間の時間幅からはずれた場合に、フリップフロップ2がC L K 90のH i g hレベルV Hを取り込むことになるが、この確率は小さい。このため、平均値検出回路3の出力V a v（平均値）は、 $(V H + V L) / 2 > V a v > V L$ となる。

## 【0035】

したがって、比較回路4の基準電圧V r e fを、 $(V H + V L) / 2$ とV Lの間に設定することで、ジッタ成分による、クロック同期はずれを検出して、アラームを出力することができる。すなわち、比較回路4の基準電圧V r e fをデータ信号のS/N比劣化時の平均値検出回路3の出力V a v NとL o wレベルV Lの間に設定しておくことで、平均値がこの基準電圧を超えた場合、受信したデータ信号のS/Nが劣化し、所定の伝送路品質が確保されない状態を検出し、アラームを出力することができる。

## 【0036】

上記実施例で説明した同期はずれ検出回路は、光受信装置のほかにも、伝送路を伝送された受信データ信号に同期したクロックを生成するクロック再生回路（P L L回路）を備えた任意の受信装置に適用して好適とされる。

## 【0037】



【発明の効果】

以上説明したように、本発明によれば、信号発振器からのクロックを所定の位相分、遅延させたクロックをデータ信号の変化点（立ち上がり又は、立ち下がり）をフリップフロップでサンプルし、フリップフロップ出力の平均値を監視することにより、クロック同期はずれを検出することができる、という効果を奏する。

【0038】

また、本発明によれば、受信データ信号のS/N比が劣化し、所定の伝送路品質が確保されない場合、該状態を検出し、アラームを出力することができる。

【図面の簡単な説明】

【図1】

本発明の一実施例の構成を示す図である。

【図2】

本発明の一実施例における周波数同期時のタイミング動作を説明するための図である。

【図3】

本発明の一実施例における周波数同期外れ時のタイミング動作を説明するための図である。

【図4】

本発明の一実施例におけるジッタ大時のタイミング動作を説明するための図である。

【図5】

一般的なPLL回路の構成を示す図である。

【符号の説明】

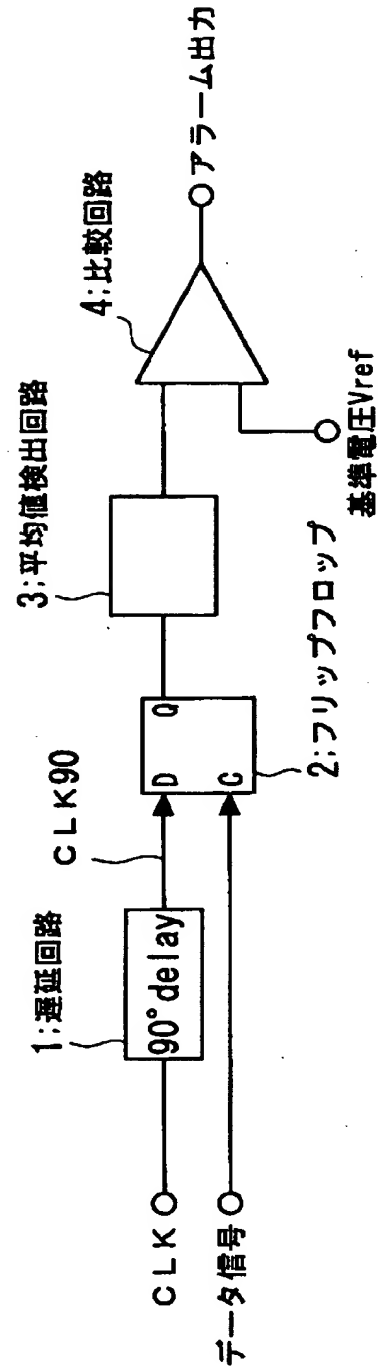
- 1 遅延回路
- 2 フリップフロップ
- 3 平均値検出回路
- 4 比較回路
- 10 位相周波数比較回路

- 1 1 チャージポンプ
- 1 2 ループフィルタ
- 1 3 電圧制御発振器

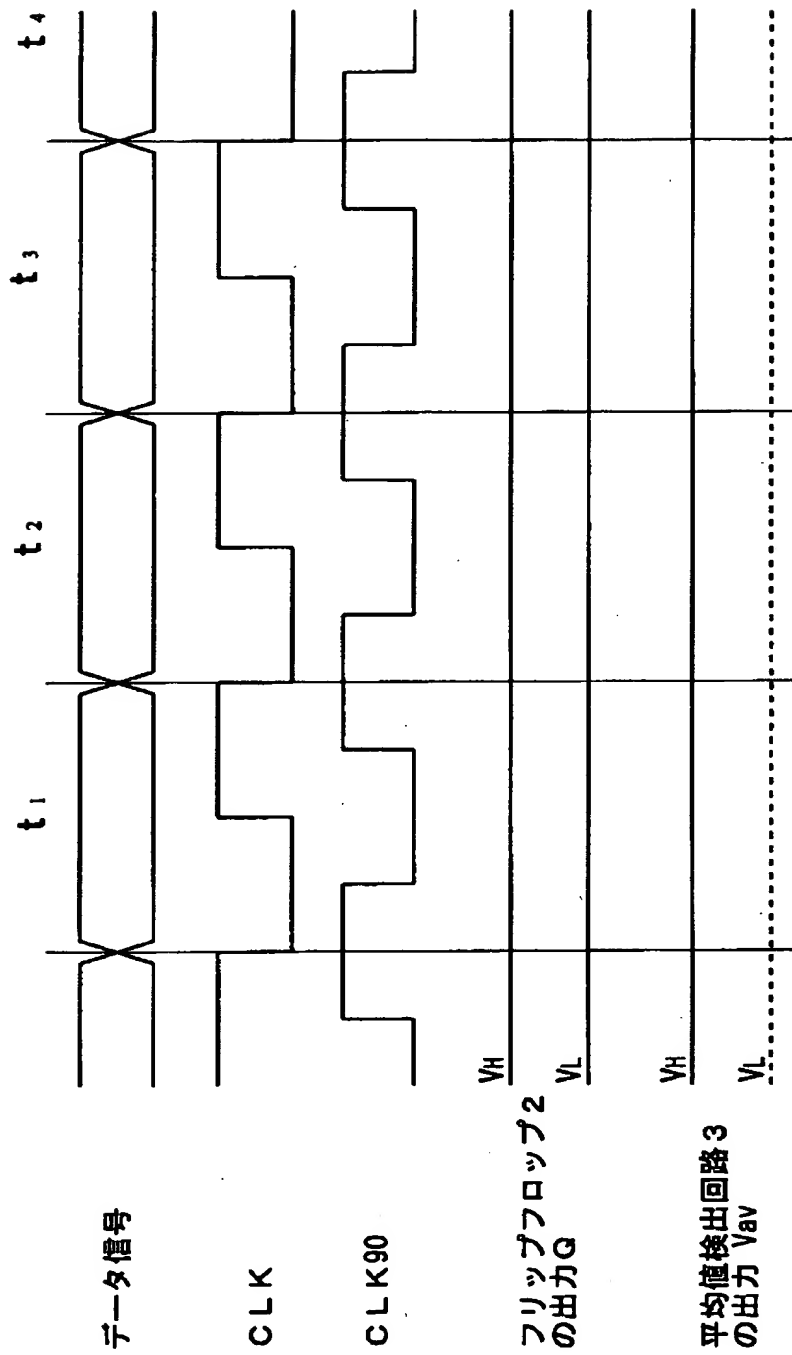
【書類名】

図面

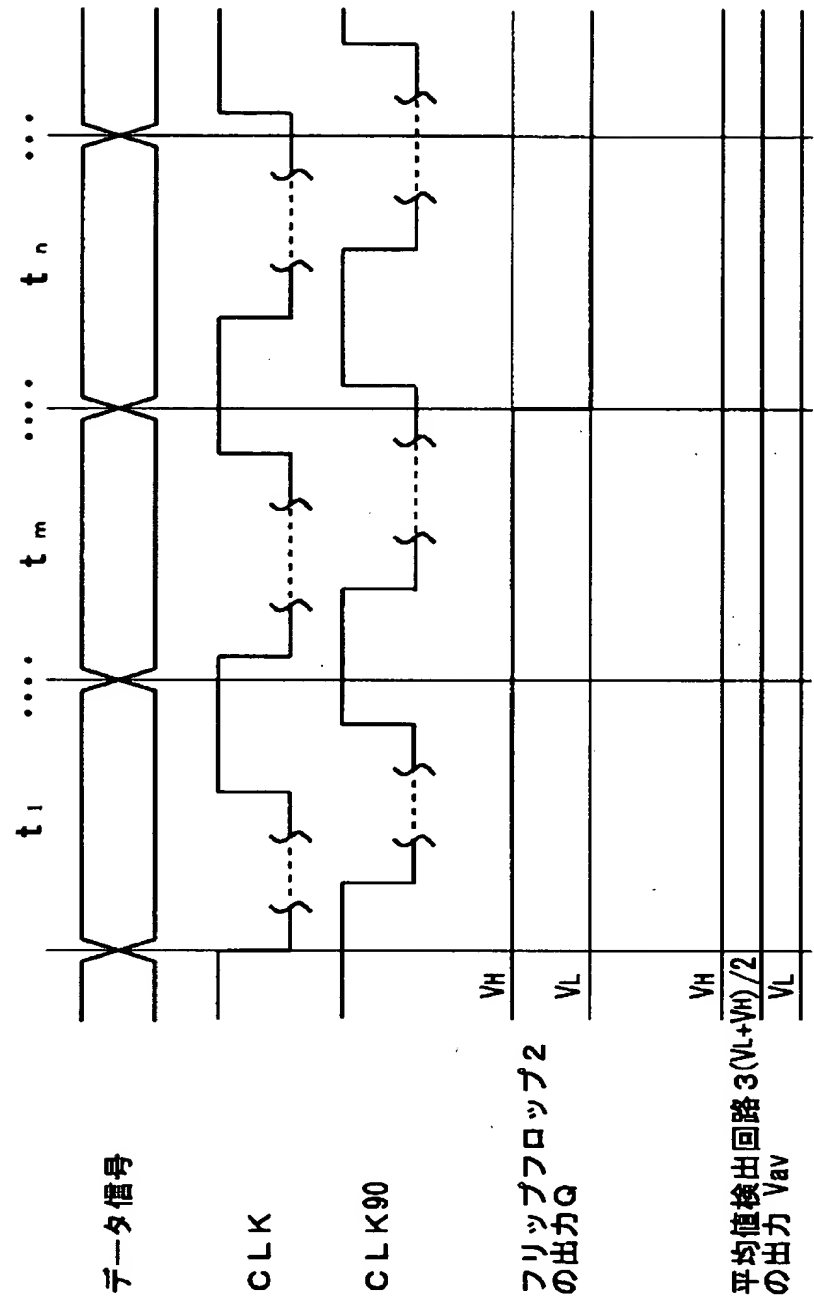
【図 1】



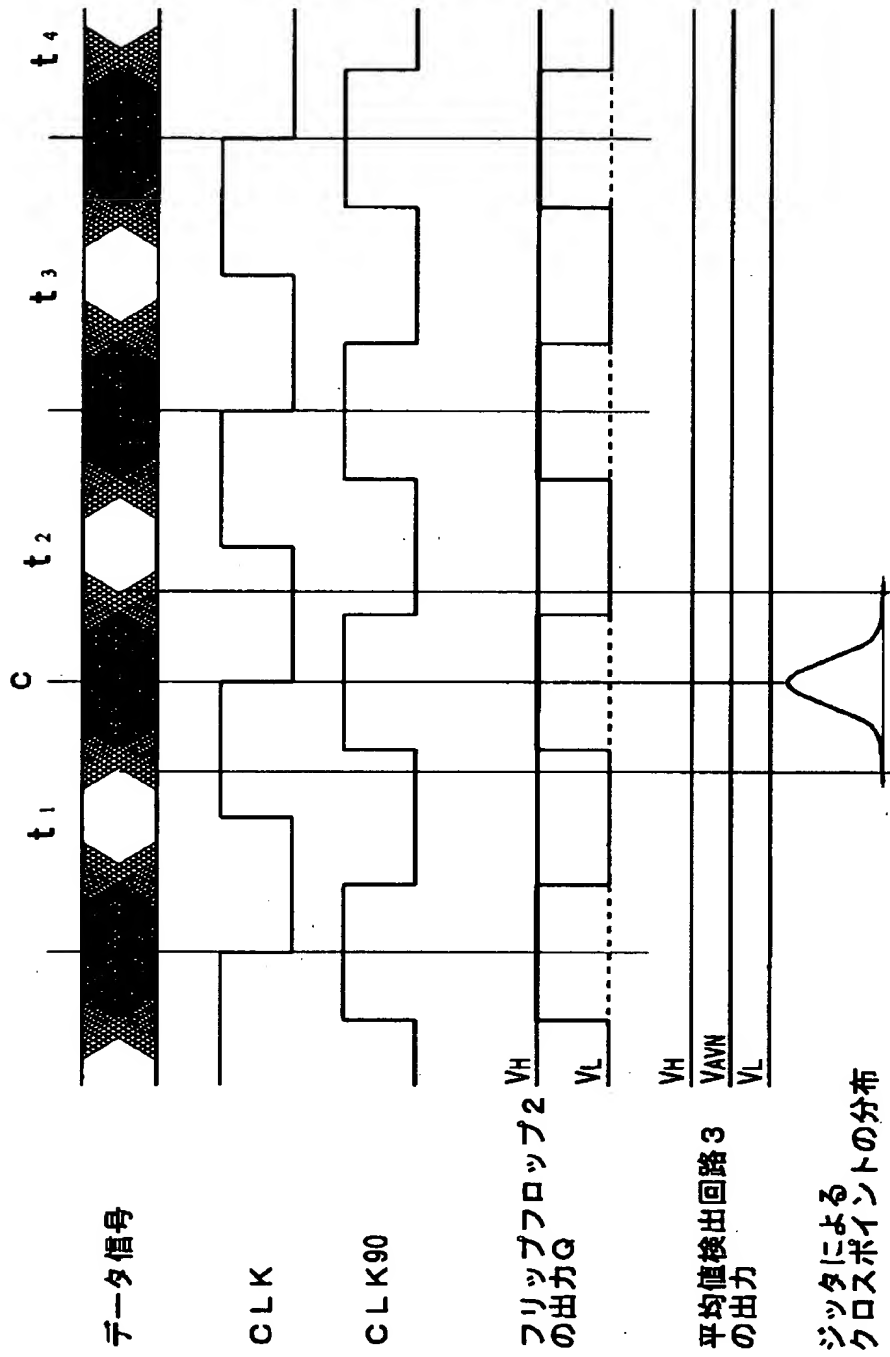
【図 2】



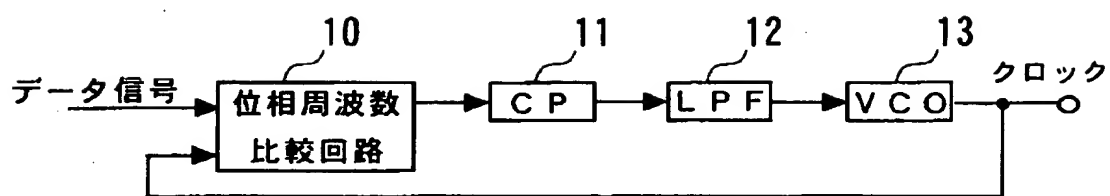
【図 3】



【図 4】



【図 5】



【書類名】                      要約書

【要約】

【課題】

正常な時はアラームは出さず、 $S/N$ 比が劣化した時やデータ信号断の時には、アラームを確実に出力する回路の提供。

【解決手段】

電圧制御発振器から出力されるクロックを遅延回路で所定の位相遅延させる遅延回路 1 と、前記遅延回路で遅延されたクロックを、前記データ信号の立ち下がりまたは立ち上がりの遷移で取り込むフリップフロップ 2 と、前記フリップフロップの出力の時間平均値を検出する平均値回路 3 と、前記時間平均値と予め定められた一定値との大小関係を判定し、クロック同期はずれ検出時にアラームを出力する比較回路 4 と、を備える。

【選択図】

図 1



出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社